

Polysilicon thin film transistor and mfg method thereof

Publication number: CN1452250

Publication date: 2003-10-29

Inventor: HUN-CHOO JUNG (KR)

Applicant: LG PHILIPS LCD CO LTD (KR)

Classification:

- international: H01L21/336; H01L21/84; H01L27/12; H01L29/786;
H01L21/02; H01L21/70; H01L27/12; H01L29/66; (IPC1-
7): H01L29/786; H01L21/336

- European: H01L29/786S; H01L21/336D3; H01L21/77T; H01L27/12;
H01L29/786B4B; H01L29/786D

Application number: CN20031009895 20030415

Priority number(s): KR20020020467 20020415

Also published as:

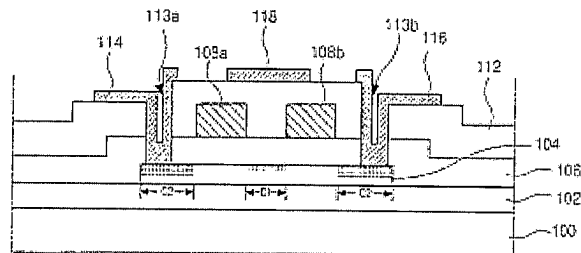
US7118944 (B2)
US7002178 (B2)
US2006030089 (A1)
US2003194839 (A1)

Report a data error here

Abstract not available for CN1452250

Abstract of corresponding document: **US2003194839**

A thin film transistor device includes a substrate, a buffer layer on the substrate, an active layer on the buffer layer, the active layer is formed of polycrystalline silicon and includes first undoped areas, a second lightly doped area, and third highly doped areas, a gate insulation layer on the buffer layer, a dual-gate electrode on the gate insulation layer including first and second gate electrodes corresponding to the first areas, an interlayer insulator on the gate insulation layer covering the dual-gate electrode, source and drain contact holes exposing the third areas, a gate contact hole penetrating the interlayer insulator to expose a portion of the dual-gate electrode, source and drain electrodes on the interlayer insulator contacting the third areas through the source and drain contact holes, and a third gate electrode on the interlayer insulator contacting the exposed portion of the dual-gate electrode through the gate contact hole.

Data supplied from the **esp@cenet** database - Worldwide

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/786

H01L 21/336



[12] 发明专利申请公开说明书

[21] 申请号 03109895.9

[43] 公开日 2003 年 10 月 29 日

[11] 公开号 CN 1452250A

[22] 申请日 2003.4.15 [21] 申请号 03109895.9

[30] 优先权

[32] 2002.4.15 [33] KR [31] 0020467/2002

[71] 申请人 LG. 飞利浦 LCD 有限公司

地址 韩国汉城

[72] 发明人 郑训周

[74] 专利代理机构 北京三友知识产权代理有限公司

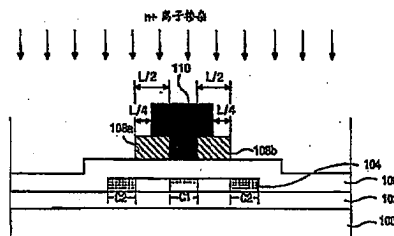
代理人 李 辉

权利要求书 8 页 说明书 13 页 附图 15 页

[54] 发明名称 多晶硅薄膜晶体管及其制造方法

[57] 摘要

一种薄膜晶体管器件，包括：基板；在基板上的缓冲层；在缓冲层上的有源层，有源层由多晶硅构成并包括第一未掺杂区、第二轻掺杂区和第三重掺杂区；在缓冲层上的栅绝缘层；在栅绝缘层上的包括对应于第一区的第一和第二栅极的双重栅极；在栅绝缘层上覆盖双重栅极的层间绝缘层；暴露第三区的源和漏接触孔；穿透层间绝缘层以暴露部分双重栅极的栅接触孔；在层间绝缘层上通过源和漏接触孔接触第三区的源极和漏极；和在绝缘层上通过栅接触孔接触双重栅极的暴露部分的第三栅极。



ISSN 1008-4274

多晶硅薄膜晶体管及其制造方法

5 技术领域

本申请涉及薄膜晶体管(TFT)及其制造方法,尤其涉及减小漏电流并改善 TFT 的电学特性的多晶硅薄膜晶体管(poly-Si TFT)及其制造方法。

10 背景技术

与非晶硅薄膜晶体管(α -Si TFT)相比,通常 poly-Si TFT 具有高的载流子迁移率、减小的光电流和相对低电平的漂移电压。因此,通常把 poly-Si TFT 作为开关元件用于液晶显示板中以获得高的分辨率,或用于投影屏中以获得高的光强度。而且, poly-Si TFT 可以制造成 n 沟道
15 TFT 和 p 沟道 TFT 以形成 CMOS 电路。

此外,因为 poly-Si TFT 的制造方法与硅晶片的 CMOS 工艺相似,通过利用现存的半导体制造工艺就可以制造 poly-Si TFT。尤其是通过利用等离子化学汽相淀积(PCVD)方法或低压化学汽相淀积(LPCVD)方法在绝缘基板上形成本征非晶硅层。在非晶硅层具有大约 500 埃(\AA)的厚度
20 之后,利用晶化方法把非晶硅层再结晶为多晶硅层。

结晶方法通常分类为准分子激光晶化(ELC)方法、固相晶化(SPC)方法、金属诱发晶化(MIC)方法和金属诱发横向晶化(MILC)之一。在 ELC 方法中,具有形成于其上的非晶硅层的绝缘基板被加热到大约 250°C 的温度。接着,向非晶硅层施加准分子激光束以形成多晶硅层。在 SPC
25 方法中,非晶硅层在高温下被热处理很长时间以晶化为多晶硅层。

在 MIC 方法中,在非晶硅层上淀积金属层且淀积的金属被用于晶化。这里,大尺寸玻璃基板可以用作绝缘基板。在 MILC 方法中,在非晶硅层上首先形成金属,接着晶化非晶硅层。还是在 MILC 方法中,在非晶硅层的预定有源部分上形成氧化图形,且通过横向晶粒生长使非晶硅层转化

成多晶硅。

因为 ELC 方法可以在相对低的温度在廉价的玻璃基板上实施, 所以广泛地采用 ELC 方法通过向淀积的非晶硅施加激光能量把非晶硅转化为多晶硅。而且, 当采用 ELC 方法形成的 TFT 作为液晶显示器的阵列基板
5 中的开关元件时, 制造的 TFT 变成 n 沟道 TFT 且通过向液晶施加电压来操纵液晶。

为了在液晶显示器中具有高显示质量, 需要 TFT 具有足够低的截止电流(即当 TFT 截止时流动的电流)。但是, poly-Si TFT 相对于 α -Si TFT
10 具有高的导通和截止电流。因为多晶硅的载流子迁移率很大。由此, 增加了在掺杂的源区以及漏区和未掺杂的沟道区之间的界面中的漏电流。

为了解决上述问题, poly-Si TFT 的多晶硅层具有在源和漏区中的偏移区(offset area)或轻掺杂区(LDR)。偏移区是源区和漏区的未掺杂区而 LDR 是低浓度杂质轻掺杂区。此外, poly-Si TFT 的栅极具有多重结构, 例如双重结构, 以减小漏电流。

15 图 1A 至图 1E 是按照现有技术多晶硅薄膜晶体管的剖面图。在图 1A 中, 首先在基板 10 上形成缓冲层 12。缓冲层 12 是硅绝缘材料, 例如氮化硅(SiN_x)或氧化硅(SiO_2), 且缓冲层 12 用于防止当对基板 10 加热时碱性材料从基板 10 扩散。接着, 在缓冲层 12 上淀积非晶硅例如 α -Si:H 以形成非晶硅层 14。然后, 把具有非晶硅层 14 的基板 10 加热到 400
20 至 500°C 的温度以消除包含在非晶硅层 14 中的氢气(H_2), 其中加热工艺是公知的脱氢工艺。在图 1B 中, 脱氢工艺之后, 向图 1A 所示的非晶硅层 14 施加激光束, 由此把非晶硅层 14 转化为多晶硅层 16。

在图 1C 中, 接着把多晶硅层 16(图 1B 中)构图为岛状以形成有源层 18。此外, 在缓冲层 12 上淀积栅绝缘层 20 以覆盖有源层 18。栅绝缘
25 层 20 是无机材料, 例如氮化硅(SiN_x)或氧化硅(SiO_2)。而且, 在栅绝缘层 20 上淀积导电金属材料, 并接着构图导电金属材料在有源层 18 上形成栅极 22。淀积的导电金属材料可以是铝(Al)、铬(Cr)、钼(Mo)或钨化钼(MoW)。而且, 栅极 22 可以具有钼/钨化钼(Mo/AlNd)的双层结构。当完成薄膜晶体管时, 与栅极 22 对应的部分有源层 18 是沟道区。

另选地, 栅极 22 可以由多晶硅制得。在形成栅极 22 之后, 向基板 10 的整个表面施加低浓度 n 型掺杂剂 (下文称作 n-离子)。但是, 栅极 22 用作掩模, 使得由 n-离子掺杂除了与栅极 22 对应的部分以外的有源层 18。

在图 1D 中, 在栅绝缘层 20 上形成光刻胶图形 23 以覆盖栅极 22。

5 因此, 认为有源层 18 的掺杂部分被分成第一区 A1 和第二区 A2, 其中由光刻胶图形 23 叠盖第一区 A1, 且光刻胶图形 23 没有叠盖第二区 A2。在形成光刻胶图形 23 之后, 向基板 10 的整个表面施加高浓度 n 型掺杂剂 (下文称作 n+离子)。接着, 有源层 18 的第一区 A1 变成轻掺杂区 (LDR), 且有源层 18 的第二区 A2 变成重掺杂区 (HDR), 由此形成源和漏区。因此, 基板 10 包括: 在栅极 22 的两侧的, 高浓度 n-型离子掺杂的源区和漏区 A2, 和低浓度 n-型离子掺杂的 LDRs A1。

在图 1E 中, 除去光刻胶图形 23 (图 1D 中), 在栅绝缘层 20 的整个表面上形成钝化层 24 以覆盖栅极 22。钝化层 24 是无机材料, 例如氮化硅 (SiN_x) 或氧化硅 (SiO_2), 或者有机材料, 例如苯并环丁烯 (BCB) 或丙烯酸树脂。接着, 部分地蚀刻钝化层 24 和栅绝缘层 20 以分别形成源接触孔 26 和漏接触孔 28 暴露源区和漏区 A2。其后, 在钝化层 24 上形成源极和漏极 30 和 32, 其中源极和漏极 30 和 32 分别通过源和漏接触孔 26 和 28 接触源区和漏区 A2。因此, 由有源层的源区和漏区中的 LDR 和多重栅极 (例如双重栅极) 来更多地减小漏电流。当在 poly-Si TFT 中应用多栅极时, 在 TFT 中扩大了 LDR 并减小了电场, 由此降低了漏电流。

图 2A 至 2D 是按照现有技术具有双重栅极的另一多晶硅薄膜晶体管的剖面图。在图 2A 中, 在基板 50 上形成缓冲层 52。缓冲层 52 是硅绝缘材料, 例如氮化硅 (SiN_x) 或氧化硅 (SiO_2)。且在缓冲层 52 上形成多晶硅层, 接着构图多晶硅层以形成多晶硅的岛状有源层 54。

25 在图 2B 中, 在缓冲层 52 上形成栅绝缘层 56 以覆盖有源层 54, 栅绝缘层 56 是无机材料, 例如氮化硅 (SiN_x) 或氧化硅 (SiO_2)。在形成栅绝缘层 56 之后, 在有源层 54 之上的栅绝缘层 56 上形成双重栅极 58。双重栅极 58 包括第一栅极 58a 和第二栅极 58b, 其中第一和第二栅极 58a 和 58b 接收同样的电压。其后, 在基板 50 的整个表面进行 n-离子掺杂。

由此, 由 n-离子掺杂除了由第一和第二栅极 58a 和 58b 叠盖的部分以外的有源层 54, 其中双重栅极 58 用作掩模。而且, 在第一和第二栅极 58a 和 58b 之间的部分有源层 54 变成第一有源区 B1, 且由 n-离子掺杂的有源层 54 的外围部分变成第二有源区 B2。

- 5 在图 2C 中, 在栅绝缘层 56 上形成光刻胶图形 60a 和 60b 而覆盖第一和第二栅极 58a 和 58b。第一光刻胶图形 60a 覆盖并环绕第一栅极 58a, 第二光刻胶图形 60b 覆盖并环绕第二栅极 58b。因为第一和第二光刻胶图形 60a 和 60b 彼此不连接, 所以第一有源区 B1 被分成第三有源区 B3 和第五有源区 B5, 其中第三有源区 B3 被第一和第二光刻胶图形 60a 和 60b 叠盖, 第五有源区 B5 之上不存在光刻胶图形 60。相应地, 第二有源区 B2 被分成第三有源区 B3 和第四有源区 B4, 其中在第三有源区 B3 之上存在光刻胶图形 60, 在第四有源区 B4 之上不存在光刻胶图形 60。

- 在形成光刻胶图形 60a 和 60b 之后, n+离子 (例如磷离子) 被施加到基板 50 的整个表面。因此, 第四和第五有源区 B4 和 B5 变成重掺杂区 (HDR), 由光刻胶图形 60a 和 60b 叠盖的第三有源区 B3 变成轻掺杂区 (LDR), 由此形成了源区和漏区。在 n+离子掺杂之后, 顺序地除去光刻胶图形 60a 和 60b。因此, 有源层 54 包括在双重栅极 60 周围的 LDR, 和在 LDR 周围的 HDR。

- 在图 2D 中, 在栅绝缘层 56 的整个表面上形成钝化层 62 以覆盖双重栅极 58。接着, 钝化层 62 和栅绝缘层 56 被部分蚀刻以形成源接触孔 64 和漏接触孔 66。源接触孔 64 和漏接触孔 66 分别暴露重掺杂源区和漏区 B4。此后, 在钝化层 62 上形成源极和漏极 68 和 70。源极和漏极 68 和 70 通过源和漏接触孔 64 和 66 分别接触源区和漏区 B4。由此形成的多晶硅薄膜晶体管具有双重栅极和在有源层中的 LDR。

- 25 但是, 按照现有技术形成用于 LDR 的光刻胶图形时, 由于制造误差, 光刻胶图形可能是未对准的。结果, 在栅极两侧设置的 LDR 可能有不同的尺寸。如果在有源层中不对称地设置 LDR, poly-Si TFT 可能有不稳定的和摆动的阈值电压。

发明内容

因此,本发明的目的在于提供一种多晶硅薄膜晶体管及其制造方法,其基本上避免了由于现有技术的限制和缺点引起的一个或多个问题。

本发明的一个目的是提供一种具有多栅极的多晶硅薄膜晶体管及其
5 制造方法以减小漏电流。

本发明的另一目的是提供一种具有对称设置的 LDR (轻掺杂区) 的多晶硅薄膜晶体管及其制造方法以获得最佳的工作特性。

在以下的说明中将阐明发明的附加特征和优点,且从说明中部分特征和优点将非常明显,或可以通过发明的实践得知。通过在所述说明书
10 和权利要求书以及附图中特别指出的结构将实现和获得发明的目的和其它优点。

为了获得这些和其它优点和根据本发明的目的,作为具体化和广泛地说明,一种薄膜晶体管器件,包括:基板;在基板上的缓冲层;在缓冲层上的岛状有源层,岛状有源层由多晶硅构成并包括第一未掺杂区、
15 第二轻掺杂区和第三重掺杂区;在缓冲层上并覆盖岛状有源层的栅绝缘层;在栅绝缘层上并包括对应于第一未掺杂区的第一和第二栅极的双重栅极;在栅绝缘层上形成并覆盖双重栅极的层间绝缘层;穿透层间绝缘层和栅绝缘层以暴露第三重掺杂区的源和漏接触孔;穿透层间绝缘层以暴露部分双重栅极的栅接触孔;在层间绝缘层上形成并通过源和漏接触
20 孔接触第三重掺杂区的源极和漏极;和在层间绝缘层上形成并通过栅接触孔接触双重栅极的暴露部分的第三栅极。

另一方面,一种薄膜晶体管器件的制造方法包括以下步骤:在基板上形成缓冲层;在缓冲层上形成岛状多晶硅有源层,包括第一、第二和第三区;在缓冲层上形成栅绝缘层以覆盖岛状多晶硅有源层;在栅绝缘
25 层上形成双重栅极以对应于岛状多晶硅有源层的第一区,双重栅极包括第一栅极和第二栅极;在第一和第二栅极之间的部分栅绝缘层上形成光刻胶图形以部分地叠盖部分第一和第二栅极;从栅绝缘层和第一和第二栅极除去光刻胶图形;在栅绝缘层上形成层间绝缘层以覆盖第一和第二栅极;通过部分地蚀刻层间绝缘层形成栅接触孔以暴露部分双重栅极;

形成源和漏接触孔以穿透层间绝缘层和栅绝缘层暴露岛状多晶硅有源层的第三区；和在层间绝缘层上形成源极和漏极和第三栅极，其中源极和漏极通过源和漏接触孔接触多晶硅有源层的第三区，第三栅极通过栅接触孔接触双重栅极的暴露部分。

- 5 另一方面，一种薄膜晶体管器件的制造方法包括以下步骤：在基板上形成缓冲层；在缓冲层上形成岛状多晶硅有源层，包括第一、第二和第三区；在缓冲层上形成栅绝缘层以覆盖岛状多晶硅有源层；在栅绝缘层上形成双重栅极以对应于第一区，双重栅极包括第一栅极和第二栅极；在第一和第二栅极之间的部分栅绝缘层上形成光刻胶图形以完全覆盖第一和第二栅极，填充在第一和第二栅极之间的空间并部分地叠盖第三区；
10 从栅绝缘层和第一和第二栅极除去光刻胶图形；在栅绝缘层上形成层间绝缘层以覆盖第一和第二栅极；通过部分地蚀刻层间绝缘层形成栅接触孔以暴露部分双重栅极；穿透层间绝缘层和栅绝缘层形成源和漏接触孔以暴露第三区；和在层间绝缘层上形成源极和漏极和第三栅极，其中源极和漏极通过源和漏接触孔接触多晶硅有源层的第三区，并且第三栅极
15 通过栅接触孔接触双重栅极的暴露部分。

可以理解前面的概要说明和随后的详细说明是典型的和解释性的，它们用于提供权利要求的进一步的解释。

20 附图说明

附图用于提供对发明的进一步理解，并引入这里构成该申请的一部分，附图说明了发明的实施例并与说明书一起用于说明发明的原理。在附图中：

图 1A 至 1E 是根据现有技术一种多晶硅薄膜晶体管的剖面图；

- 25 图 2A 至 2D 是根据现有技术另一种具有双重栅极的多晶硅薄膜晶体管的剖面图；

图 3A 至 3D 是根据本发明典型的多晶硅薄膜晶体管的剖面图；

图 4 是根据本发明具有典型的多晶硅薄膜晶体管的阵列基板的像素平面图；

图 5 是从图 4 的 V-V' 截取的剖面图;

图 6 和 7 是根据本发明的典型多晶硅薄膜晶体管的电路图;

图 8A 和 8B 是根据本发明的另一典型多晶硅薄膜晶体管的剖面图;

图 9A 至 9D 是根据本发明的另一典型多晶硅薄膜晶体管的剖面图;

5 图 10 是实现图 9A 至 9D 的典型多晶硅薄膜晶体管的阵列基板的剖面图; 及

图 11A 至 11B 是根据本发明的另一典型多晶硅薄膜晶体管的剖面图。

具体实施方式

10 将具体参照附图中的例子对本发明的优选实施例进行说明。

图 3A 至 3D 是根据本发明典型的多晶硅薄膜晶体管的剖面图。在图 3A 中, 在基板 100 上形成缓冲层 102。缓冲层 102 可以是硅绝缘材料, 例如氮化硅 (SiN_x) 或氧化硅 (SiO_2)。而且可以在缓冲层 102 上形成多晶硅层, 且多晶硅层随后被构图以形成岛状多晶硅有源层 104。例如, 可以
15 以通过在非晶硅层上应用脱氢方法, 并接着通过激光晶化方法把非晶硅层转化为多晶硅层来形成多晶硅有源层 104。而且, 缓冲层 102 可以用于阻止当向基板 100 加热时碱性材料从基板 100 到多晶硅有源层 104 的扩散。

在图 3B 中, 在缓冲层 102 的整个表面上形成栅绝缘层 106 以覆盖有
20 源层 104。栅绝缘层 106 可以是无机材料, 例如氮化硅 (SiN_x) 或氧化硅 (SiO_2)。此外, 在部分有源层 104 上的栅绝缘层 106 上形成具有第一和第二栅极 108a 和 108b 的双重栅极。第一和第二栅极 108a 和 108b 之间的距离可以在从大约 0.5 到 5 微米的范围内。此外, 可以把第一和第二栅极 108a 和 108b 设计成在 TFT 完成时从选通线 (gate line) 接收相同
25 的电压。而且, 可以在基板 100 上实施 n-离子掺杂, 使得低浓度 n 型掺杂剂 (例如磷离子) 注入到有源层 104 未被第一和第二栅极 108a 和 108b 叠盖的暴露部分。例如, 双重栅极 108 可以用作掩模, 使得可以用 n-离子掺杂有源层 104 的不由第一和第二栅极 108a 和 108b 叠盖的部分。由此, 设置在第一和第二栅极 108a 和 108b 之间并由 n-离子掺杂的部分有

源层 104 可以变成第一有源区 C1, 有源层 104 的也由 n-离子掺杂的其余部分变成了第二有源区 C2。

在图 3C 中, 可以直接在有源层 104 的第一有源区 C1 上形成光刻胶图形 110。具体地说, 可以在第一和第二栅极 108a 和 108b 之间的部分栅绝缘层 106 上和部分第一和第二栅极 108a 和 108b 上形成光刻胶图形 110。此外, 光刻胶图形 110 可以填充第一和第二栅极 108a 和 108b 之间的空间且不必覆盖第一和第二栅极 108a 和 108b 的整个表面。

另外, 可以在基板 100 上实施 n+离子掺杂, 使得高浓度 n 型掺杂剂 (例如高浓度磷离子) 可以被注入到有源层 104 的暴露部分。因此, 第一有源区 C1 可以仍保留作为轻掺杂区 (LDR), 第二有源区 C2 可以被转化为重掺杂区 (HDR), 由此在基板 100 中形成源区和漏区。由此, 有源层 104 可以包括在第一和第二栅极 108a 和 108b 之间的 LDR 和在双重栅极 108 的两外围侧上 HDR。

而且, 与第一和第二栅极 108a 和 108b 对应的部分有源层 104 可以是具有沟道长度 L 的有源沟道。此外, 与每一栅极 108a 或 108b 对应的有源沟道可以具有沟道长度 L/2。因此, 如果光刻胶图形 110 叠盖每一栅极 108a 或 108b 的一半, 那么光刻胶图形 110 具有四分之一沟道长度 L/4 的工艺余量。由此, 即使在制造过程中产生误差, 例如光刻胶图形 110 未对准, 有源区 C1 也可以由光刻胶图形 110 遮盖以避免形成任何局部的或不均匀的重掺杂区。而且, 因为有源区 C1 可以与源区和漏区 C2 隔离, 因此改善了 TFT 的工作特性并获得了 TFT 的最佳工作状态。

在图 3D 中, 可以除去光刻胶图形 110 (在图 3C 中), 并且可以在栅绝缘层 106 的整个表面上形成层间绝缘层 112 以覆盖双重栅极 108。接着, 可以部分地蚀刻层间绝缘层 112 和栅绝缘层 106 以形成源接触孔 113a 和漏接触孔 113b。而且, 当形成源接触孔 113a 和漏接触孔 113b 时, 可以同时形成栅接触孔 125 (图 4 中)。源接触孔 113a 和漏接触孔 113b 可以分别暴露部分源区和漏区 C2, 栅接触孔可以暴露部分第一和第二栅极 108a 和 108b。

此外, 在层间绝缘层 112 上可以形成源极和漏极 114 和 116。源极

- 和漏极 114 和 116 可以通过源和漏接触孔 113a 和 113b 分别接触源区和漏区 C2。而且, 当形成源极和漏极 114 和 116 时, 在层间绝缘层 112 上源极和漏极 114 和 116 之间也可以形成第三栅极 118。采用与源极和漏极 114 和 116 相同的材料, 可以在有源层 104 之上附加地形成第三栅极 118。
- 5 尤其是第三栅极 118 可以直接设置在第一有源区 C1 上方并且在第一和第二栅极 108a 和 108b 之上。由此, 在 TFT 完成时, 当第三栅极 118 导通时, 第三栅极 118 使第一有源区 C1 的电阻最小化, 由此改善了 TFT 的导通电流。

图 4 是根据本发明的具有典型的多晶硅薄膜晶体管的阵列基板的像素平面图, 图 5 是从图 4 的 V-V' 截取的剖面图。在图 4 中, 可以沿横向设置选通线 121 并沿纵向设置数据线 115。数据线 115 可以垂直交叉选通线 121, 由此限定像素区 P。在选通线和数据线 121 和 115 的交叉处可以设置多晶硅薄膜晶体管 T。在像素区 P 中, 可以形成像素电极 124, 通过接触孔 122 接触 poly-Si TFT T。

- 15 此外, poly-Si TFT T 可以包括从选通线 121 延伸的第一和第二栅极 108a 和 108b, 和从数据线 115 延伸的源极 114。第一和第二栅极 108a 和 108b 可以形成 U 形, 使得第一分支形成第一栅极 108a 且第二分支形成第二栅极 108b。而且, poly-Si TFT T 可以包括接触选通线 121 的第三栅极 118。由此, 第一、第二和第三栅极 108a、108b 和 118 可以通过
- 20 栅接触孔 125 接收来自选通线 121 的相同选通信号。

在图 5 中, 可以在基板 100 的整个表面上形成钝化层 120。此后, 部分地蚀刻钝化层 120 以形成暴露部分漏极 116 的接触孔 122。接着, 可以在钝化层 120 上形成透明的导电材料, 并构图透明导电材料以在像素区 P (图 4 中) 中形成像素电极 124。像素电极 124 可以通过接触孔 122

25 接触漏极 116, 使得像素电极 124 与 poly-Si TFT T 电连通。

图 6 和 7 是根据本发明的典型多晶硅薄膜晶体管的电路图。在图 6 中, poly-Si TFT 可以具有彼此电连接的第一、第二和第三栅极 108a、108b 和 118, 可以向第一、第二和第三栅极 108a、108b 和 118 同时施加相同的信号电压。在图 7 中, poly-Si TFT 可以另选地具有独立形成的第

三栅极118以从选通线单独地接收信号电压。可以向第一和第二栅极108a和108b施加相同或不同的信号电压。

图8A和8B是根据本发明的另一典型多晶硅薄膜晶体管的剖面图。

在图8A中，可以在基板100上形成缓冲层102，且可以在缓冲层102上形成岛状有源层104。在缓冲层102上还可以形成栅绝缘层106以覆盖有源层104。另外，可以在栅绝缘层106上、在部分有源层104的正上方形成第一和第二栅极108a和108b，并且可以在第一和第二栅极108a和108b之间的部分栅绝缘层106上形成光刻胶图形110。而且，光刻胶图形110可以叠盖部分第一和第二栅极108a和108b。此后，在基板100上实施n⁺离子掺杂，使得由n⁺离子掺杂未被第一和第二栅极108a和108b和光刻胶图形110遮盖的部分有源层104。由此，在第一和第二栅极108a和108b之间的第一有源区D1可以仍保留作为未掺杂区，并且沿有源层104的外围部分的第二区D2可以变成重掺杂区(HDR)。

在图8B中，可以除去光刻胶图形110(图8A中)，接着可以把n⁻离子注入到基板100的整个表面。由此有源层104的第一有源区D1可以变成轻掺杂区(LDR)，第二有源区D2可以仍保留作为重掺杂区(HDR)。接着，例如基板100可以经受如图3D所示的处理。因为在低浓度离子掺杂工艺之前实施高浓度离子掺杂工艺，所以可以首先形成源区和漏区(即第二有源区D2)，接着在第一和第二栅极108a和108b之间可以形成轻掺杂第一有源区D1。

图9A至9D是根据本发明另一典型的多晶硅薄膜晶体管的剖面图。

在图9A中，可以在基板200上形成缓冲层202。缓冲层202可以包括硅绝缘材料，例如氮化硅(SiN_x)或氧化硅(SiO₂)。接着可以在缓冲层202上形成多晶硅层，且多晶硅层被构图以形成岛状多晶硅有源层204。例如，可以通过在非晶硅层上应用脱氢方法，并接着通过激光晶化方法把非晶硅层转化为多晶硅层来形成多晶硅有源层204。此外，缓冲层202可以用于阻止当向基板200加热时碱性材料从基板200到多晶硅有源层204的扩散。

在图9B中，可以在缓冲层202的整个表面上形成栅绝缘层206以覆

盖有源层 204。栅绝缘层 206 可以是无机材料,例如氮化硅 (SiN_x) 或氧化硅 (SiO_2)。接着,可以在有源层 204 正上方的栅绝缘层 206 上形成第一和第二栅极 208a 和 208b。第一和第二栅极 208a 和 208b 之间的距离可以在从大约 0.5 到 5 微米的范围内。此外,第一和第二栅极 208a 和 208b 5 可以接收来自选通线的相同的电压。此外,可以在基板 200 的整个表面上实施 n-离子掺杂,使得低浓度 n 型离子(例如磷离子)注入到有源层 204 的未被第一和第二栅极 208a 和 208b 叠盖的暴露部分。尤其是,因为第一和第二栅极 208a 和 208b 可以用作掩模,可以用低浓度 n 型离子掺杂有源层 204 的不被第一和第二栅极 208a 和 208b 叠盖的部分。另外, 10 设置在第一和第二栅极 208a 和 208b 之间并由 n-离子掺杂的部分有源层 204 可以变成第一有源区 E1,也由 n-离子掺杂的有源层 204 的外围部分变成了第二有源区 E2。

在图 9C 中,可以在有源层 204 正上方的栅绝缘层 206 上形成光刻胶图形 210。尤其是,光刻胶图形 210 可以完全覆盖第一和第二栅极 208a 15 和 208b,使得光刻胶图形 210 可以正好形成在整个第一有源区 E1 和部分第二有源区 E2 之上。此外,光刻胶图形 210 可以填充第一和第二栅极 208a 和 208b 之间的空间,且可以形成在邻近第一和第二栅极 208a 和 208b 的栅绝缘层的横向部分上。在形成光刻胶图形 210 之后, n+离子(即高浓度 n 型杂质)可以被注入到基板 200 的整个表面。因此第二有源区 E2 可以 20 可以被分成第三和第四有源区 E3 和 E4。可以由光刻胶图形 210 叠盖第三有源区 E3,其中不注入 n+离子。可以由光刻胶图形 210 叠盖第四有源区 E4,其中注入 n+离子。例如,由光刻胶图形 210 遮盖的第一和第三有源区 E1 和 E3 可以变成轻掺杂区(LDR),未被光刻胶图形 210 遮盖的第四有源区 E4 可以变成重掺杂区(HDR),由此形成源区和漏区。因此,有源层 204 25 可以包括在第一和第二栅极 208a 和 208b 之间且在双重栅极 208 周围的 LDR,还可以包括在 LDR 外围部分周围的 HDR。

在图 9D 中,可以除去光刻胶图形 210(在图 9C 中),并且可以在栅绝缘层 206 的整个表面上形成层间绝缘层 212 以覆盖双重栅极 208。接着,可以部分地蚀刻层间绝缘层 212 和栅绝缘层 206 以形成源接触孔 214 和

漏接触孔 216。此外，当形成源和漏接触孔 214 和 216 时可以同时形成栅接触孔（图 4 中的 125），栅接触孔穿透层间绝缘层 212 至双重栅极 208。源接触孔 214 和漏接触孔 216 可以暴露重掺杂的源区和漏区 E4，栅接触孔（图 4 中的 125）可以暴露部分第一和第二栅极 208a 和 208b。

5 此外，可以在层间绝缘层 212 上形成源极和漏极 218 和 220。源极和漏极 218 和 220 可以通过源和漏接触孔 214 和 216 接触源区和漏区 E4。而且，当形成源极和漏极 218 和 220 时，在层间绝缘层 212 上源极和漏极 218 和 220 之间也可以形成第三栅极 222。采用与源极和漏极 218 和 220 相同的材料，可以在有源层 204 之上附加地形成第三栅极 222。尤其是，第三栅极 222 可以设置在第一和第三有源区 E1 和 E3 正上方和双重栅极 208 之上。由此，当第三栅极 222 导通时，第三栅极 222 使第一和第三有源区 E1 和 E3 的电阻最小化，由此改善了 ploy-Si TFT 的导通电流。

图 10 是实现图 9A 至 9D 的典型多晶硅薄膜晶体管的阵列基板的剖面图。在图 10 中，可以在基板 200 上形成钝化层 224 以覆盖和保护 ploy-Si TFT。此外，可以部分地蚀刻钝化层 224 以形成暴露部分漏极 220 的接触孔 226。接着，可以在钝化层 224 上淀积透明的导电材料，并接着构图透明导电材料以形成像素电极 228。像素电极 228 可以通过穿透钝化层 224 的接触孔 226 接触漏极 220。

20 图 11A 和 11B 是根据本发明另一典型的多晶硅薄膜晶体管的剖面图。在图 11A 中，可以在基板 200 上形成缓冲层 202，并在缓冲层 202 上形成岛状有源层 204。可以在缓冲层 202 上形成栅绝缘层 206 以覆盖有源层 204，并且在有源层 204 上方的栅绝缘层 206 上形成第一和第二栅极 208a 和 208b。此外，可以在有源层 204 正上方的部分栅绝缘层 206 上形成光刻胶图形 210 以完全覆盖第一和第二栅极 208a 和 208b。尤其是，光刻胶图形 210 可以形成在第一有源区 F1 正上方（填满第一和第二栅极 208a 和 208b 之间的空间）和第二有源区 F2 正上方。

而且，可以在基板 200 的整个表面实施 n⁺离子掺杂。因此，由 n⁺离子掺杂没有被第一和第二栅极 208a 和 208b 和光刻胶图形 210 遮盖的

部分有源层 204, 由此限定第三有源区 F3。由光刻胶 210 遮盖的在第一和第二栅极 208a 和 208b 之间的第一有源区 F1 和第二有源区 F2 可以仍是未掺杂区。而且, 没有被光刻胶图形 210 遮盖的且由 n⁺离子掺杂的第三有源区 F3 可以变成重掺杂区 (HDR)。

5 在图 11B 中, 可以除去光刻胶图形 210 (在图 11A 中), n⁻离子被注入到基板 200 的整个表面。因此有源层 204 的第一和第二有源区 F1 和 F2 可以变成轻掺杂区 (LDR), 第三有源区 F3 可以仍保留作为重掺杂区 (HDR), 使得第三有源区 F3 可以变成源区和漏区。由此可以首先形成源区和漏区 (即重掺杂第三有源区 F3), 接着可以在第一和第二栅极 208a 和 208b 之
10 间和邻接第一和第二栅极 208a 和 208b 形成轻掺杂第一和第二有源区 F1 和 F2。

虽然本发明的说明书公开了 n 型离子, 但可利用 p 型离子代替 n 型离子。

不脱离本发明的精神和范围对本发明的多晶硅薄膜晶体管及其制造
15 方法作出修改和变化对本领域技术人员来说是显而易见的。因此, 本发明覆盖在所附权利要求和其等效的范围内的各种修改和变化。

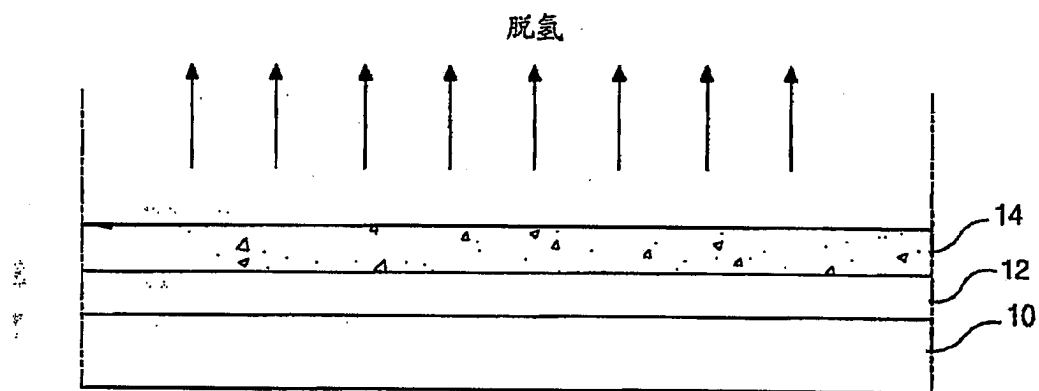


图 1A
(现有技术)

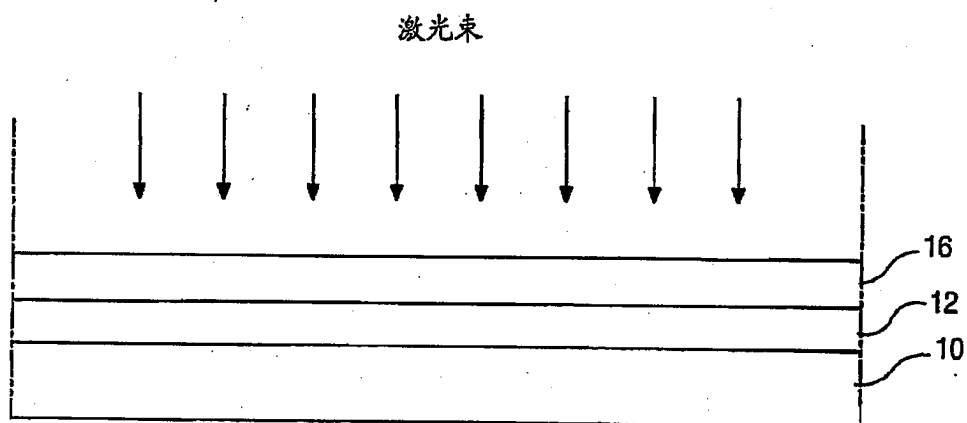


图 1B
(现有技术)

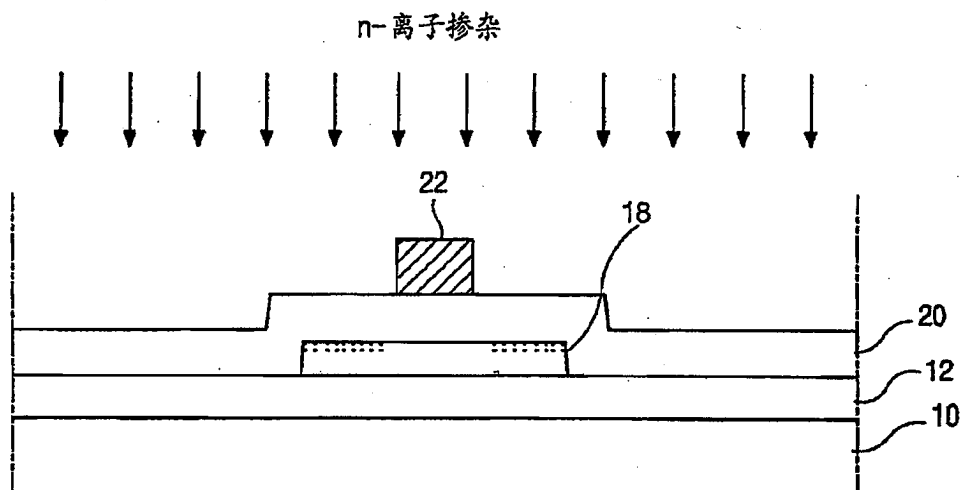


图 1C
(现有技术)

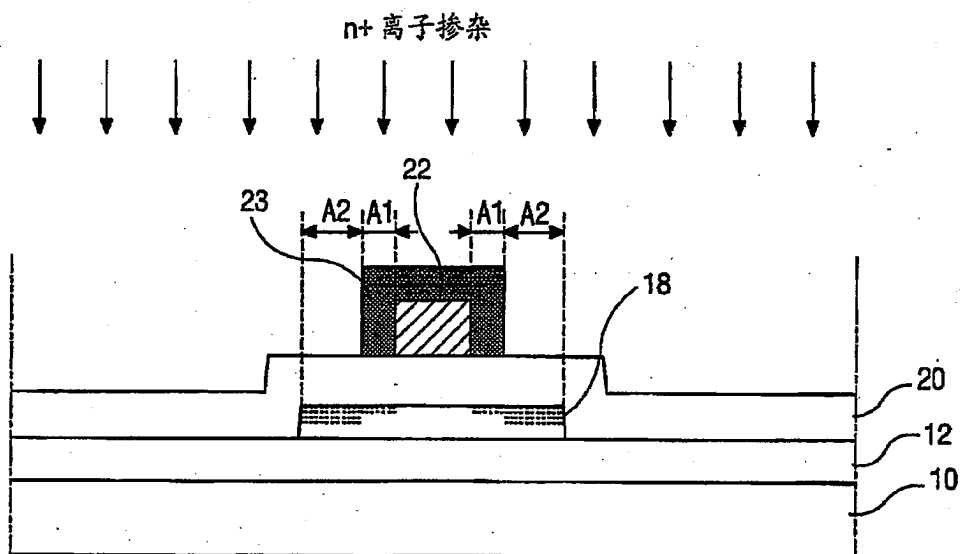


图 1D
(现有技术)

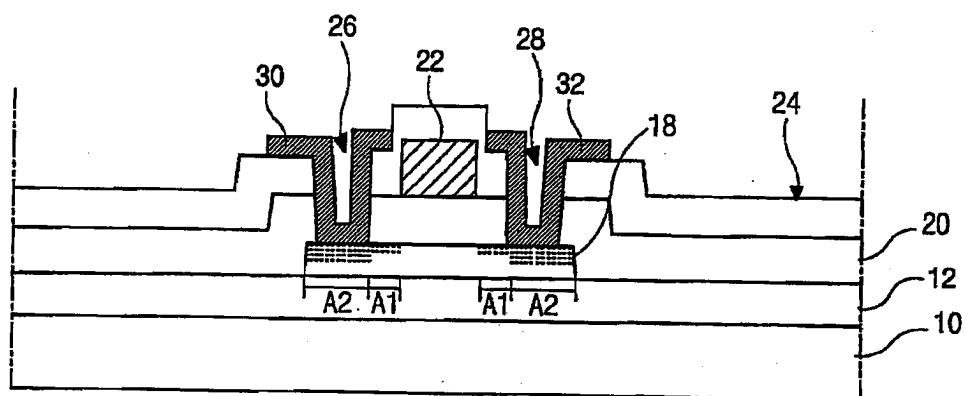


图 1E
(现有技术)

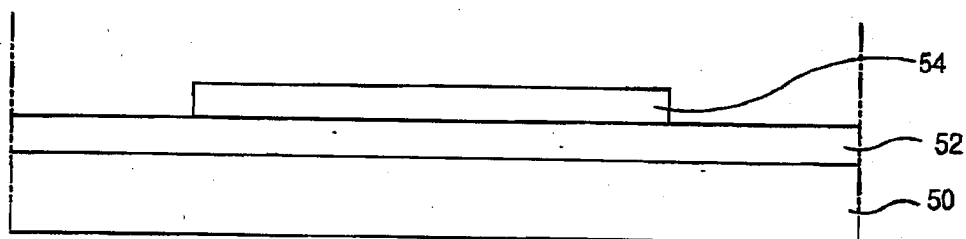


图 2A
(现有技术)

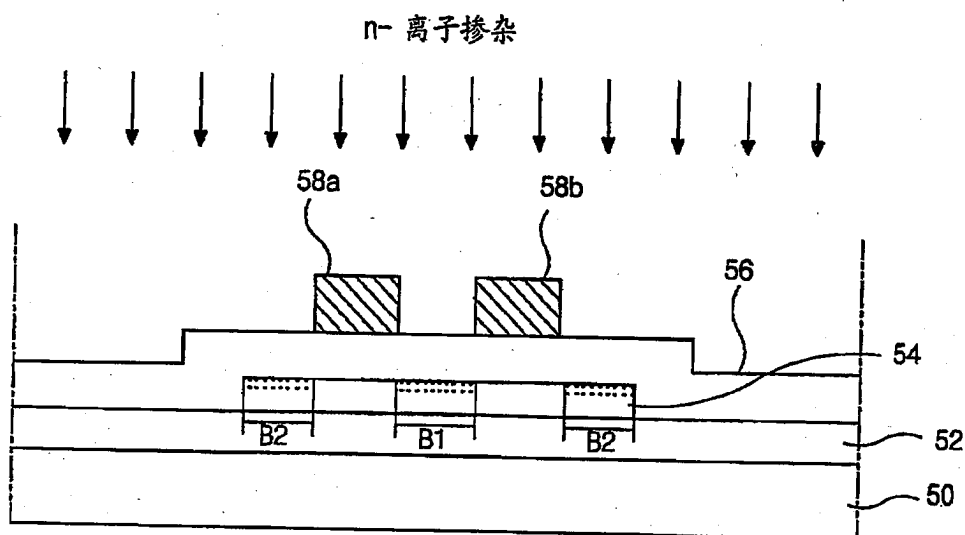


图 2B
(现有技术)

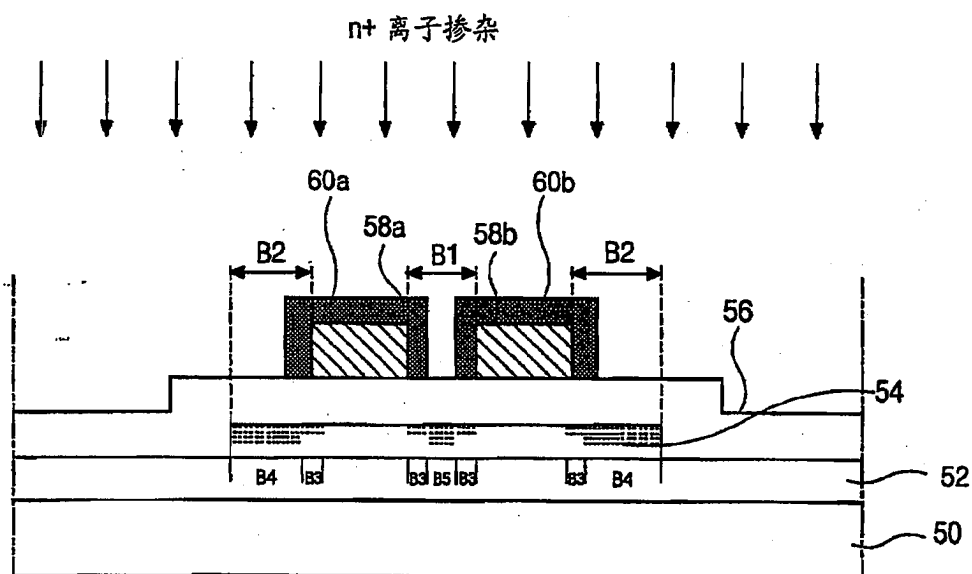


图 2C
(现有技术)

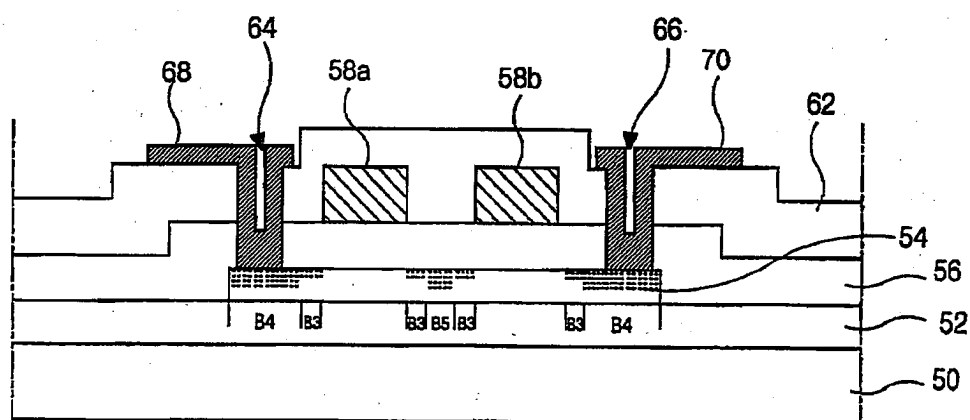


图 2D
(现有技术)

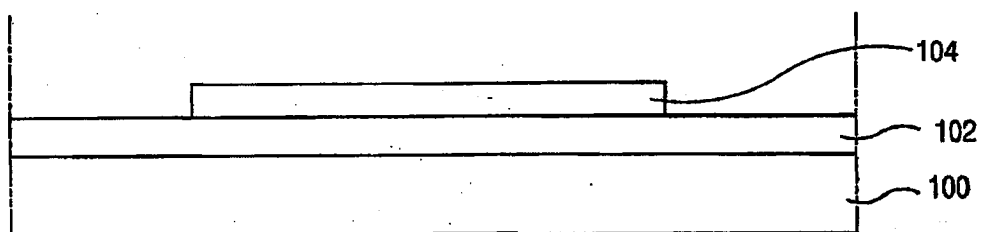


图 3A

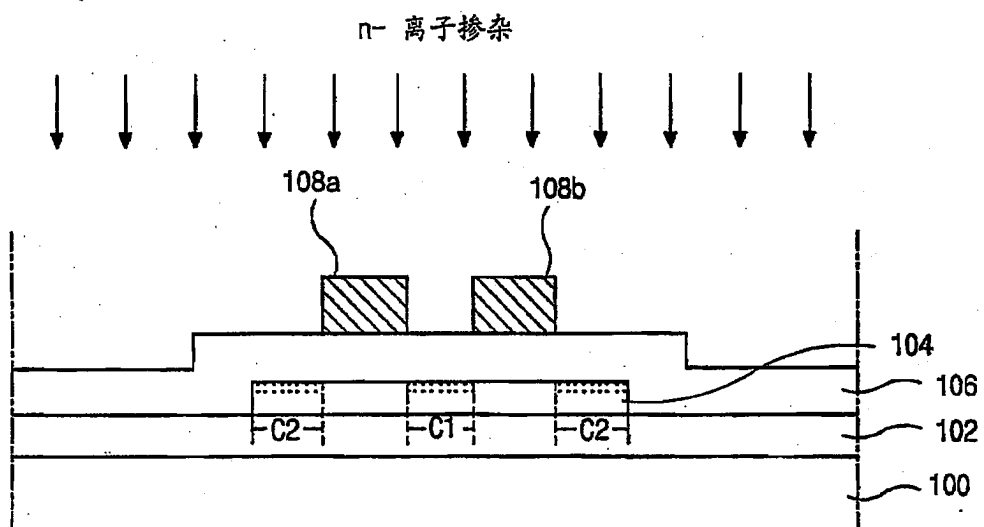


图 3B

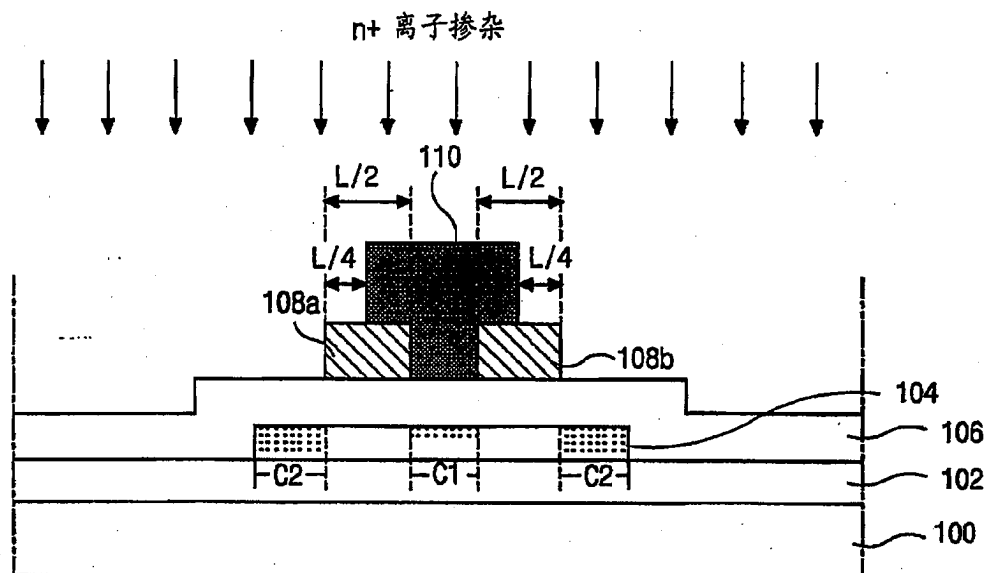


图 3C

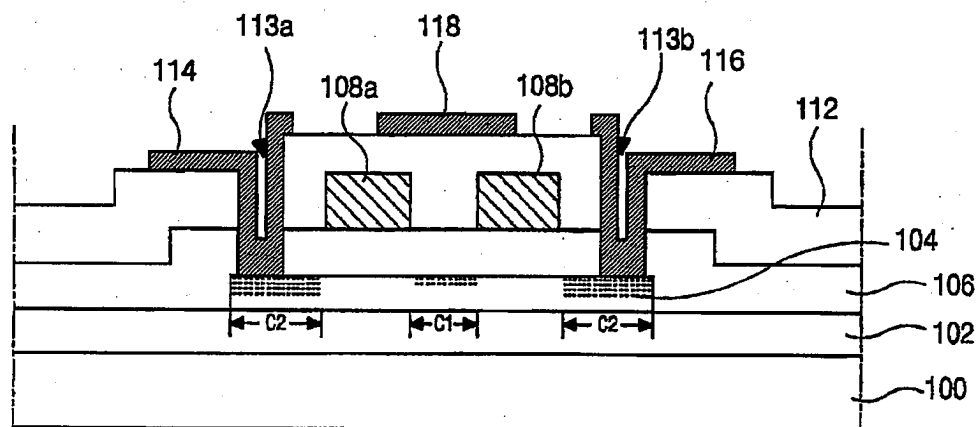


图 3D

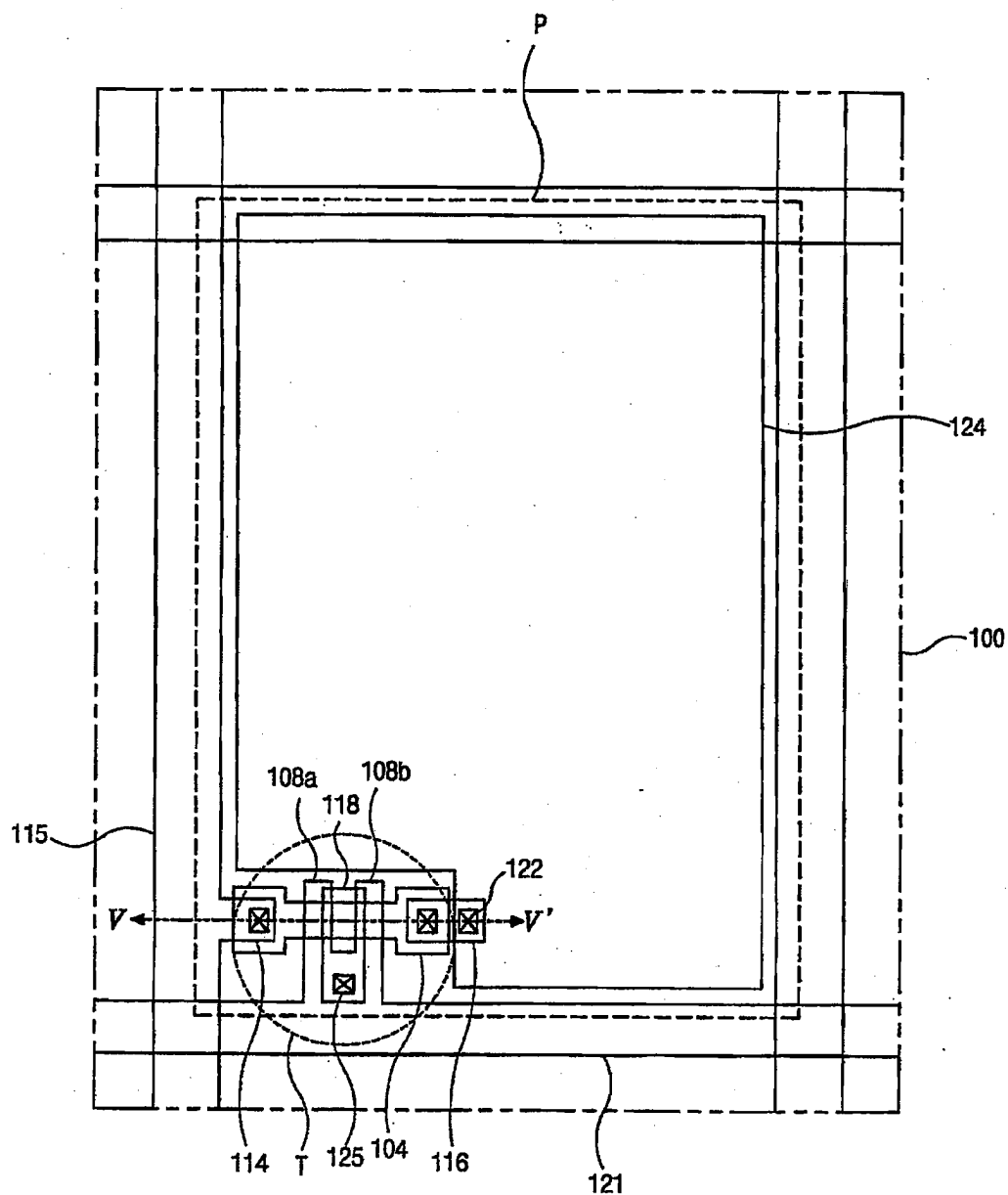


图 4

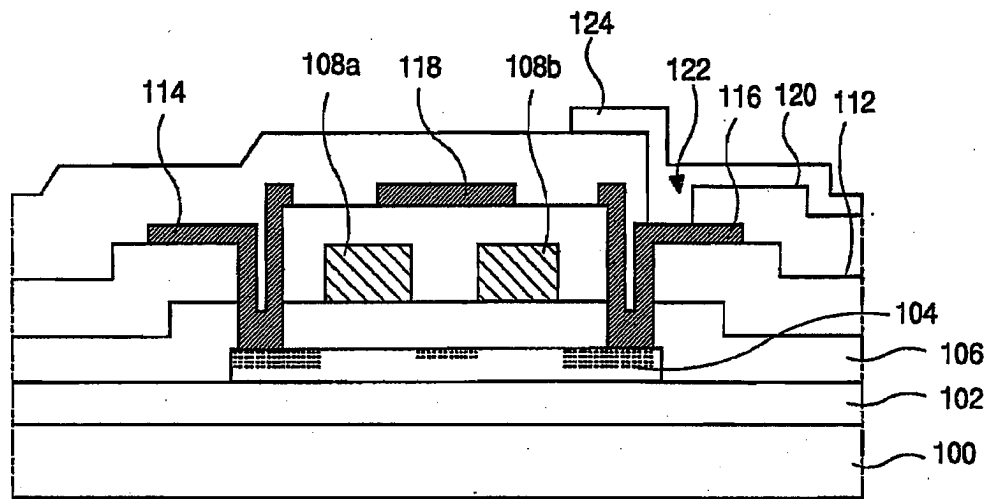


图 5

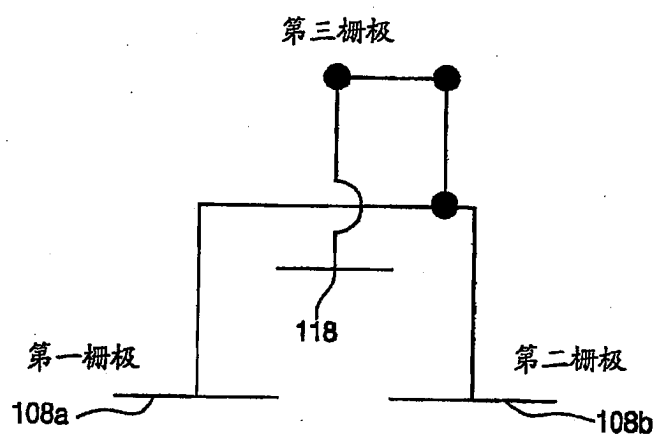


图 6

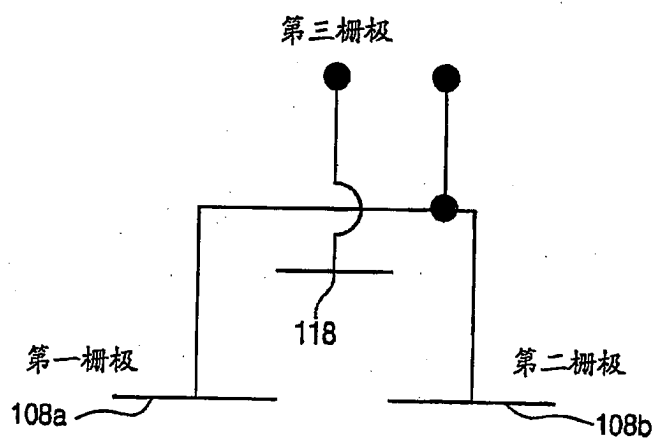


图 7

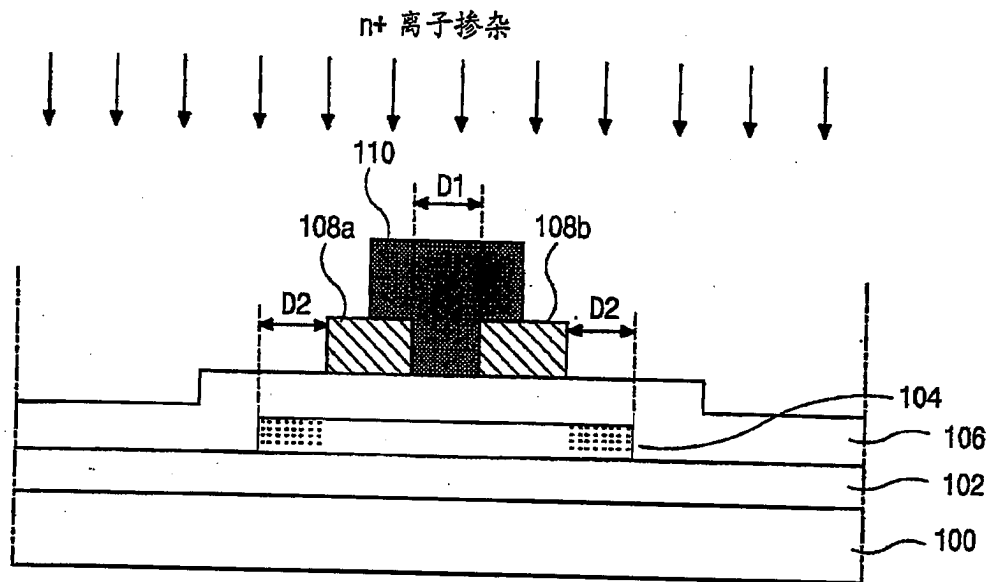


图 8A

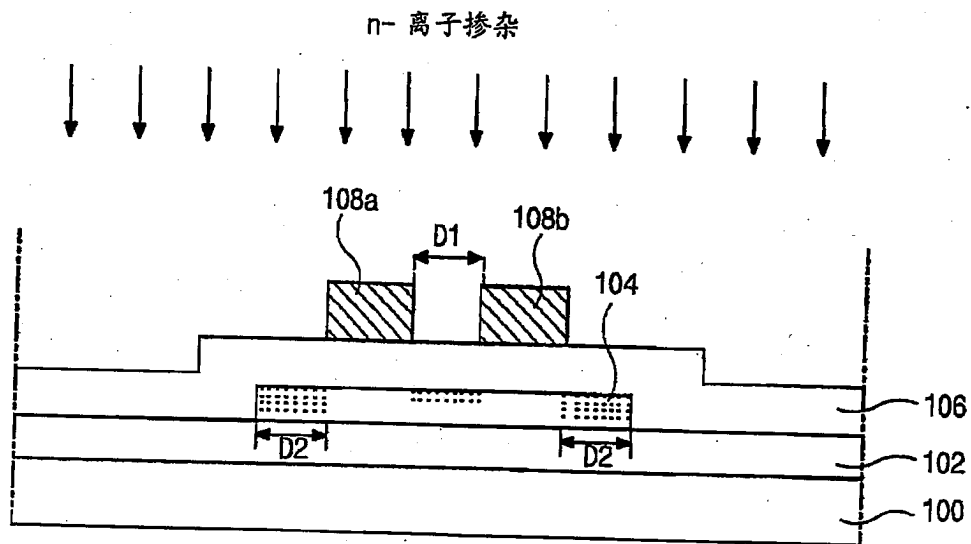


图 8B

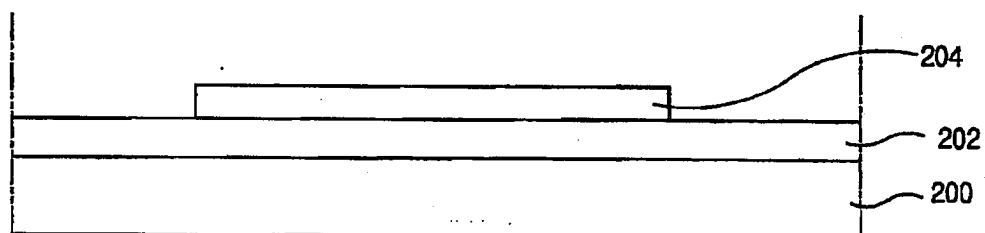


图 9A

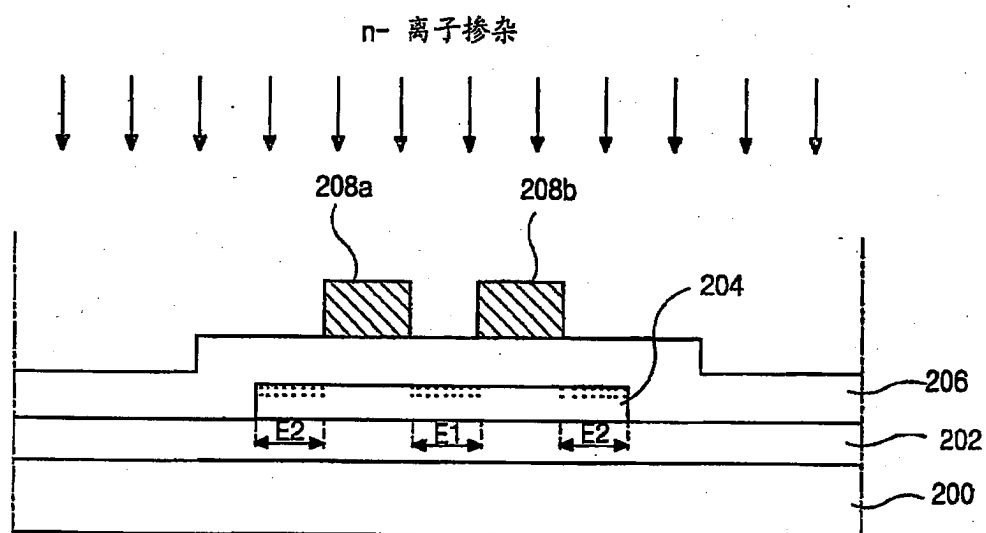


图 9B

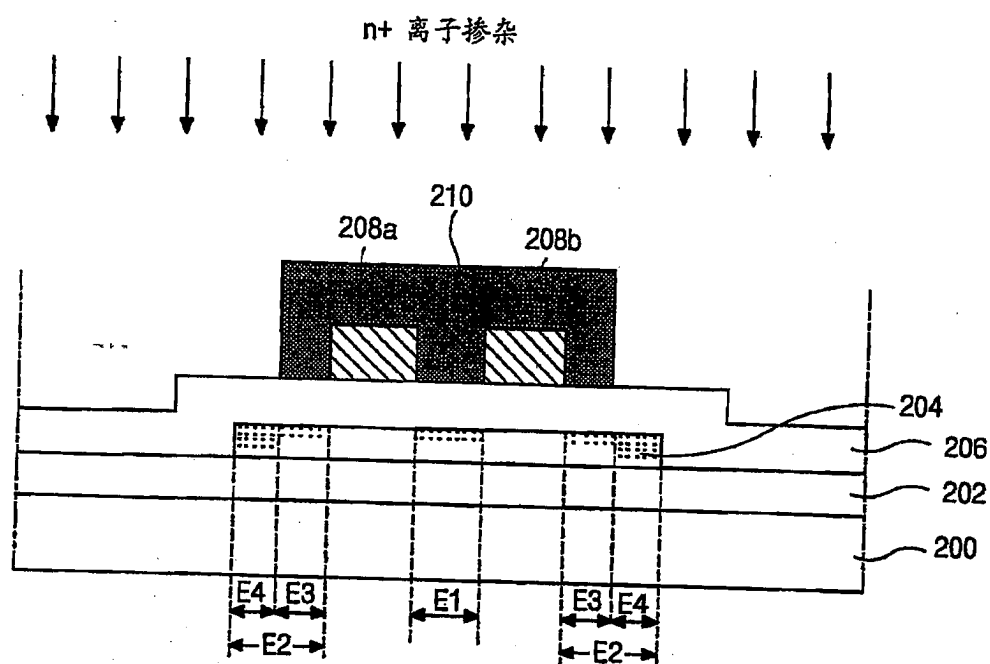


图 9C

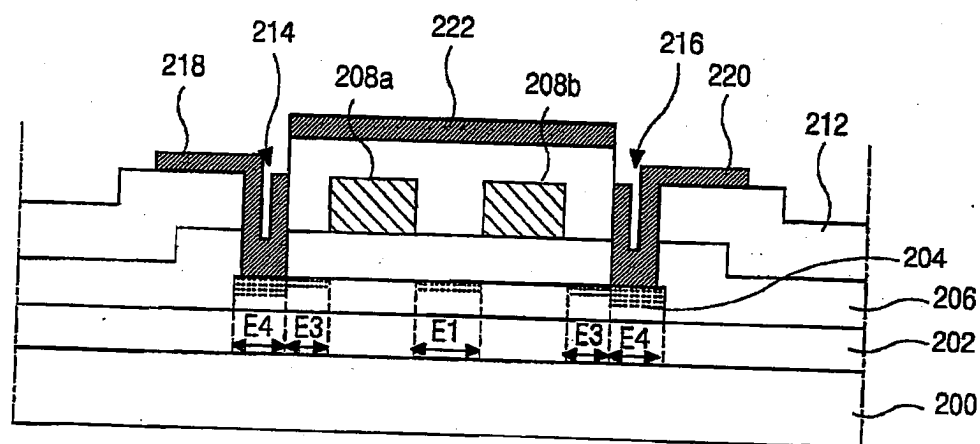


图 9D

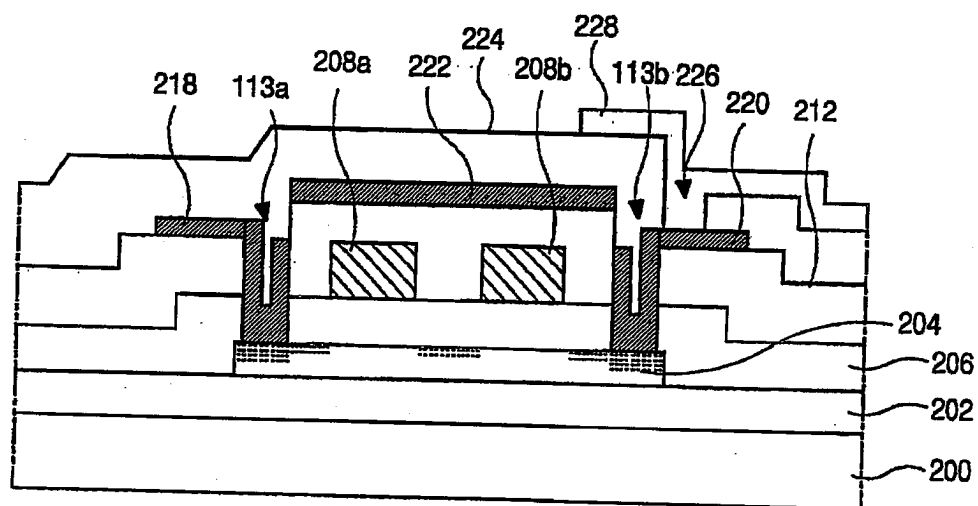


图 10

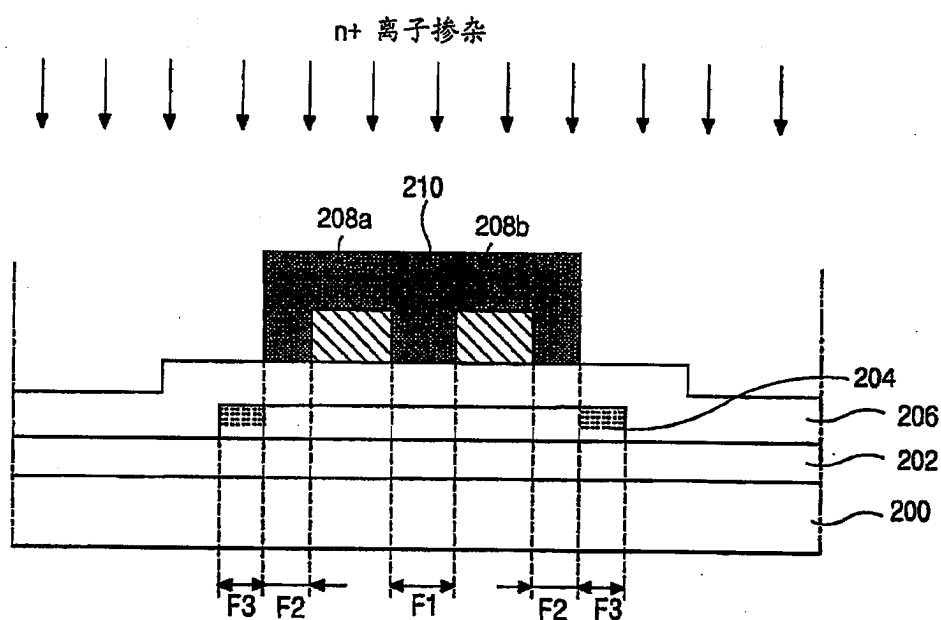


图 11A

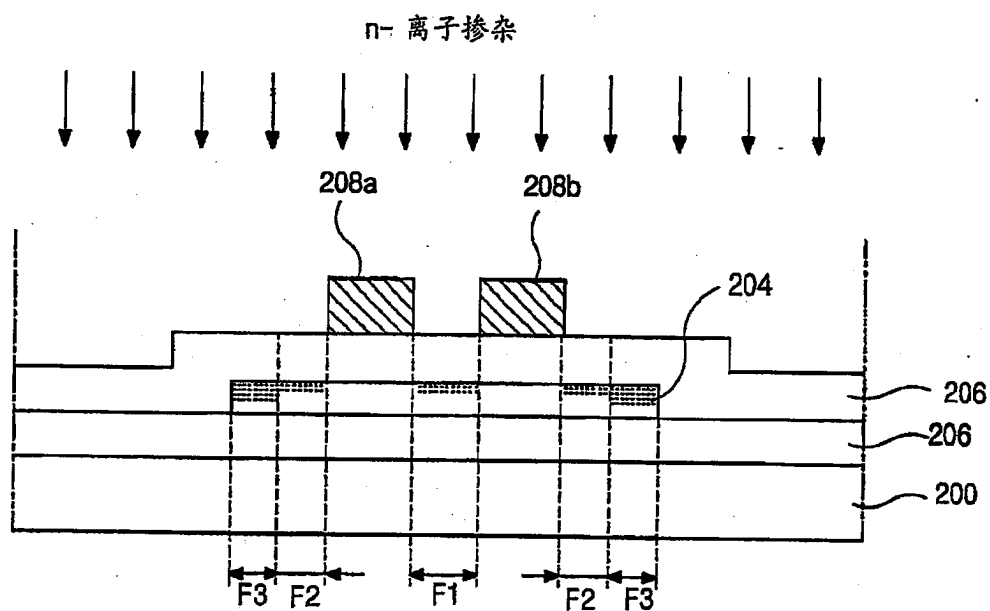


图 11B